

Docket No. 200714US2/smc



4

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi SUKEGAWA

GAU: 2185

SERIAL NO: 09/731,788

EXAMINER:

FILED: December 8, 2000

FOR: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §120.**
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of **35 U.S.C. §119(e).**
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	11-349388	December 8, 1999

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

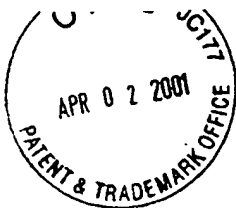
Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

Surinder Sachar
Registration No. 34,423



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年12月 8日

出 願 番 号

Application Number:

平成11年特許願第349388号

出 願 人

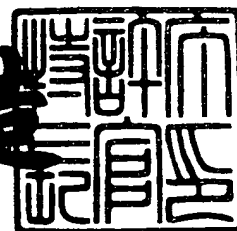
Applicant (s):

株式会社東芝

2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3103087

【書類名】 特許願

【整理番号】 99P190

【提出日】 平成11年12月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 不揮発性半導体メモリ装置

【請求項の数】 11

【発明者】

 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
 マイクロエレクトロニクスセンター内

 【氏名】 助川 博

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100092820

 【弁理士】

 【氏名又は名称】 伊丹 勝

 【電話番号】 03-5216-2501

【手数料の表示】

 【予納台帳番号】 026893

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体メモリ装置

【特許請求の範囲】

【請求項 1】 電氣的書き換え可能な不揮発性半導体メモリ装置であって、
1メモリチップ内に、それぞれ書き込みのシーケンス制御を行う制御回路を有する複数のメモリ回路がデータバスを共有して搭載され、且つ
前記各メモリ回路毎に活性、非活性を制御するイネーブル端子が設けられている
ことを特徴とする不揮発性半導体メモリ装置。

【請求項 2】 前記イネーブル端子に対応して、各メモリ回路毎にレディ／ビジー信号端子が設けられている
ことを特徴とする請求項 1 記載の不揮発性半導体メモリ装置

【請求項 3】 前記複数のメモリ回路全体の活性、非活性を制御するマスターイネーブル端子が設けられ、このマスターイネーブル端子の信号と各メモリ回路毎のイネーブル端子の信号のAND条件により、各メモリ回路の活性、非活性が制御される
ことを特徴とする請求項 1 記載の不揮発性半導体メモリ装置。

【請求項 4】 電氣的書き換え可能な不揮発性半導体メモリ装置であって、
1メモリチップ内に、それぞれ書き込みのシーケンス制御を行う制御回路を有する複数のメモリ回路がデータバスを共有して搭載され、且つ
前記各メモリ回路毎の活性、非活性がコマンド入力により制御されるようにした
ことを特徴とする不揮発性半導体メモリ装置。

【請求項 5】 前記複数のメモリ回路に共通のイネーブル端子が設けられ、このイネーブル端子に入力されるイネーブル信号はコマンド入力により選択されたメモリ回路に供給される
ことを特徴とする請求項 4 記載の不揮発性半導体メモリ装置。

【請求項 6】 前記複数のメモリ回路に共通のレディ／ビジー信号端子が設けられ、このレディ／ビジー信号端子にはコマンド入力により選択されたメモリ

回路のレディ／ビジー状態が出力される

ことを特徴とする請求項 5 記載の不揮発性半導体メモリ装置。

【請求項 7】 電氣的書き換え可能な不揮発性半導体メモリ装置であって、
1 メモリチップ内に、それぞれアドレス指定可能な複数のメモリ回路が搭載され、且つ

前記各メモリ回路毎に、アドレスに対応する書き込みデータを送出する少なくとも 1 段のデータバッファが設けられ、

前記データバッファを介して前記複数のメモリ回路への書き込み動作が同時に行われる

ことを特徴とする不揮発性半導体メモリ装置。

【請求項 8】 書き込み動作毎のパス／フェイル結果が前記メモリ回路毎に出力される

ことを特徴とする請求項 7 記載の不揮発性半導体メモリ装置。

【請求項 9】 前記パス／フェイル結果がメモリセル単位で出力されることを特徴とする請求項 8 記載の不揮発性半導体メモリ装置。

【請求項 10】 前記パス／フェイル結果が累積して保持されることを特徴とする請求項 8 又は 9 記載の不揮発性半導体メモリ装置。

【請求項 11】 前記パス／フェイル結果を参照して前記データバッファへのデータ入力の可否を判断するモードと、前記パス／フェイル結果を参照することなく前記データバッファへのデータ入力の可否を判断するモードとを有することを特徴とする請求項 8 又は 9 記載の不揮発性半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、電氣的書き換え可能な不揮発性半導体メモリ装置（EEPROM）に係り、特にベリファイ動作を含む一連のデータ書き換え動作が内蔵制御回路により自動的にシーケンス制御される EEPROM に関する。

【0002】

【従来の技術】

最近のEEPROMフラッシュメモリでは、チップ内部に書き込み／消去のシーケンス制御を行う制御回路が内蔵されている。この種のEEPROMでは、外部からコマンドと書き込みデータを入力すれば、データ書き込み動作とその後のベリファイ動作を含めて、所定の書き込みが完了するまでの一連の動作が自動的に行われる。書き込み動作開始から書き込み完了までは、外部にはビジー信号が出されて、アクセスが禁止される。

【0003】

このようなEEPROMフラッシュメモリのビジー状態の待ち時間は、メモリシステムの高速度性能を損なう。そこで、複数のメモリチップを用いたフラッシュメモリシステムで高速度性能を実現するためには、データバスを共通にして時分割的にコマンド及びデータ入力を行い、複数のメモリチップで並列的に内部動作が実行されるようにすることが有効である。本発明者等は、既にその様な手法を提案している（特願平6-95125号，特願平6-95126号，USP5,603,001等）。

【0004】

【発明が解決しようとする課題】

しかし近年、フラッシュメモリの1チップの容量はますます増大している。必要なメモリシステムの容量が1チップで間に合うとすると、上述した複数チップを用いた場合の時分割制御の手法が適用できず、高速度性能が得られない。従って、1つのメモリチップであっても、上述した複数チップを用いた場合と同様の時分割制御や並列処理により高速度性能が実現できるものが望まれる。

【0005】

また、メモリシステムを制御するCPU側の都合として、要求されるメモリシステムの容量が増大したとしても、取り扱うファイルのサイズは画像ファイル等を除いて多くの場合著しい増大はなく、むしろ小サイズのファイルを多く扱う方が好ましいという事情もある。パソコンのCPUのページマッピングサイズも、例えば4kバイトがCPUの世代に拘わらず共通値として維持されている。

【0006】

この様なホストシステム環境からすると、メモリデバイス側がその記憶容量増

大に伴って、書き込みページサイズや消去ブロックサイズを大きくするのは必ずしも適当ではなく、記憶容量が増大しても、小容量単位での書き込みや消去ができることが好ましい場合が多い。

【0007】

この発明は、上記事情を考慮してなされたもので、1メモリチップを複数メモリチップと同様に制御可能とした不揮発性半導体メモリ装置を提供することを目的としている。

【0008】

【課題を解決するための手段】

この発明は、電氣的書き換え可能な不揮発性半導体メモリ装置であって、1メモリチップ内に、それぞれ書き込みのシーケンス制御を行う制御回路を有する複数のメモリ回路がデータバスを共有して搭載され、且つ前記各メモリ回路毎に活性、非活性を制御するイネーブル端子が設けられていることを特徴としている。

【0009】

この発明はまた、電氣的書き換え可能な不揮発性半導体メモリ装置であって、1メモリチップ内に、それぞれ書き込みのシーケンス制御を行う制御回路を有する複数のメモリ回路がデータバスを共有して搭載され、且つ前記各メモリ回路毎の活性、非活性がコマンド入力により制御されるようにしたことを特徴としている。

【0010】

この発明は更に、電氣的書き換え可能な不揮発性半導体メモリ装置であって、1メモリチップ内に、それぞれアドレス指定可能な複数のメモリ回路が搭載され、且つ前記各メモリ回路毎に、アドレスに対応する書き込みデータを送出する少なくとも1段のデータバッファが設けられ、前記データバッファを介して前記複数のメモリ回路への書き込み動作が同時に行われることを特徴とする。

【0011】

この発明によると、1チップ内の複数のメモリ回路（EEPROM回路）をあたかも複数チップのように時分割動作或いは並列動作させることができる。従って、1チップを一つの制御回路をもって単に大容量化した場合と異なり、あるメ

メモリ回路がビジー状態であっても他のメモリ回路に対してアクセスできるから、外部からみると、待ち時間のない高速性能メモリシステムが得られる。

【 0 0 1 2 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

【実施の形態 1】

図 1 は、この発明の実施の形態によるメモリチップ 1 の構成を示している。メモリチップ 1 には、それぞれに書き込み及び消去のシーケンス制御を行う制御回路を内蔵した複数個（図の場合 4 個）の E E P R O M 回路 2（2-1～2-4）が搭載されている。これらの E E P R O M 回路 2 はデータバス 3 を共有する。また、各 E E P R O M 回路 2 はそれぞれが独立に通常の E E P R O M チップ機能を有するものとし、従って図示のように各 E E P R O M 回路 2 毎に活性、非活性を制御するイネーブル端子 C E 1～C E 4、及び R e a d y / B u s y 信号端子 R / B 1～R / B 4 が設けられている。

【 0 0 1 3 】

図 2 は、各 E E P R O M 回路 2 の構成を示している。メモリセルアレイ 2 1 は、スタックト・ゲート構造を有する電氣的書き換え可能な不揮発性メモリセルが N A N D 型に配列接続されている。メモリセルアレイ 2 1 のワード線、ビット線を選択するのがそれぞれロウデコーダ 2 2、カラムデコーダ 2 5 である。アドレス信号は I / O バッファ 2 6 を介してアドレスレジスタ 2 7 に取り込まれ、ロウデコーダ 2 2 及びカラムデコーダ 2 5 でデコードされて、メモリセル選択がなされる。メモリセルアレイ 2 1 のビット線はセンスアンプ 2 3 に接続され、センスアンプ 2 3 はデータレジスタ 2 4 を介して I / O バッファ 2 6 に接続される。

【 0 0 1 4 】

データ書き込み及び消去に用いられる各種の高電圧を発生するために、昇圧電源回路 3 0 が設けられている。制御回路 2 9 は、ベリファイ動作を含めてデータ書き込み及び消去のシーケンス制御を行い、同時に動作モードに応じて昇圧電源回路 3 0 を制御する。書き込み、消去等のコマンド C M D は I / O バッファ 2 6 を介してコマンドレジスタ 2 8 に取り込まれる。このコマンドレジスタ 2 8 に取り

込まれたコマンドは制御回路 29 でデコードされて、コマンドに対応して書き込み、消去の制御がなされる。I/Oバッファ 26 には、イネーブル端子 CE からの回路全体の活性、非活性を指示するイネーブル信号/CEをはじめ、各種のイネーブル信号が入る。これらの制御信号も制御回路 29 に送られる。制御回路 29 は、イネーブル信号が/CE=H のとき、Ready/Busy バッファ 31 を介して端子 R/B にビジー信号を出す。

【0015】

この様に構成されたメモリチップ 1 では、各 EEPROM 回路 2 が通常のチップ機能を有するから、各 EEPROM 回路 2 に対して並列にデータ書き込み又は消去を行わせることができる。

【0016】

以上のようにこの実施の形態によると、1 チップ内にそれぞれ自律的な制御機能を持つ複数の EEPROM 回路を搭載することにより、各 EEPROM 回路を並列的に動作させることができ、大容量メモリの高速動作が可能になる。更に各 EEPROM 回路毎にイネーブル端子とこれに対応する Ready/Busy 端子を設けることにより、外部からは各 EEPROM 回路を独立のメモリチップのように制御することができる。従って、単に 1 チップの記憶容量を増大させた場合と異なり、高速性能を実現することができ、また小容量単位の入出力要求にも柔軟に対応可能になる。

【0017】

〔実施の形態 2〕

図 3 は、別の実施の形態によるメモリチップ 1 a の構成を示している。この実施の形態が先の実施の形態と異なる点は、メモリチップ 1 a が、内部の各 EEPROM 回路 2 のイネーブル端子 CE1~CE4 を持つ他、メモリチップ 1 a 全体の活性、非活性を制御するマスタイネーブル端子 MCE を持つことである。それ以外は、先の実施の形態と変わらない。

マスタイネーブル信号端子 MCE と各 EEPROM 回路 2 のイネーブル端子 CE とは、図 3 に示すように AND ゲート G1~G4 の入力に接続され、二つの信号の AND 出力が各 EEPROM 回路 2 に供給される。

【0018】

このような構成とすれば、例えば複数のメモリチップからなるメモリシステムを制御するチップセットからのイネーブル信号線を減らすことが可能になる。例えば、図4は、二つのメモリチップ1a1, 1a2を用いた場合の例を示している。この場合、二つのメモリチップ1a1, 1a2のイネーブル端子CE1～CE4を互いに共通接続し、マスターイネーブル端子MCEは、一方にインバータIを挿入して共通接続する。また各メモリチップ1a1, 1a2のReady/Busy端子R/Bも共通接続する。

これにより、共通化されたマスターイネーブル端子MCEの“0”, “1”によって、メモリチップ1a1, 1a2を選択的に活性化することができ、少ない信号線で二つのメモリチップ1a1, 1a2の制御が可能になる。

【0019】

具体的に、図4に示すようなメモリシステムを構成した時、ホスト側の要求に対してこのメモリシステムを制御するチップセットでは、次のような動作が行われる。即ち、ホストの要求が、イネーブルCE～CE4の指定とアドレス指定のみとする。このときチップセットでは、メモリチップ1a1, 1a2のEEPROM回路2の記憶容量レジスタを参照して、マスターイネーブルMCEの“0”, “1”を決定する。そしてチップセットが、ホストの要求であるイネーブル端子CE1～CE4の指定、アドレス指定と共に、マスターイネーブル信号を発行する。これにより、メモリチップ1a1, 1a2のいずれかが選択される。

【0020】

〔実施の形態3〕

図5は、別の実施の形態によるメモリチップ1bの構成を示している。この実施の形態が、図1の実施の形態と異なる点は、外部には一つずつのイネーブル端子CEとReady/Busy端子R/Bのみが設けられることである。内部的にはEEPROM回路2のイネーブル端子CE1～CE4とReady/Busy端子R/B1～R/B4は、メモリ機能レジスタ4により選択される。

【0021】

メモリ機能選択回路3は、コマンド入力により制御されるものとする。例えば

、チップイネーブルCEを活性にし、コマンド入力によりイネーブル端子CE1、即ちEEPROM回路2-1の選択を指示すると、メモリ機能レジスタ4によりチップイネーブルCEはEEPROM回路2-1についてイネーブルとなり、このときReady/Busy端子R/Bは、EEPROM回路2-1のReady/Busy状態を出力する。チップイネーブルCEを非活性にすると、メモリチップ1b全体に対するチップイネーブルがNegateされる。

【0022】

この様に、メモリチップ内の複数のEEPROM回路に対して、コマンド入力によりアクセス仕分けを行うことにより、一つのEEPROM回路の場合と同じ信号端子数で大容量のメモリシステムの制御ができることになる。従って、世代の異なるメモリチップに対しても、ソフトウェアの変更のみで同じCPUを接続することが可能になる。

また、チップイネーブル信号CEが非活性化された場合、各EEPROM回路に継続して制御が入ることは少ないので、これと連動して各EEPROM回路への選択が解除されるようにすることで、選択解除のコントロールが容易になり、以降の制御も容易になる。

【0023】

また、ソフトウェア側からすれば、各EEPROM回路への活性、非活性の制御は、チップセットを介してのコントロールになる。従って、実際に複数のイネーブル端子の時分割的制御よりも、外部的にチップイネーブル端子は一つとして、内部EEPROM回路のイネーブルはコマンドによる制御とした方が、メモリのハードウェア構成としても整合性のとれたものとなる。ソフトウェア制御上もバグの少ないものとなる。

【0024】

〔実施の形態4〕

図6は、図5の実施の形態を変形した実施の形態のメモリチップ1cを示している。この実施の形態のメモリチップ1cは、外部にチップイネーブル端子及びReady/Busy端子を持たず、その機能をソフトウェア的に実現するReady/Busyレジスタ5を備えている点で、図5と異なる。そしてこの実施

の形態の場合、各種コマンドCMDの中に、チップイネーブル制御コマンド及び、Ready/Busy参照コマンドが含まれる。

【0025】

即ちこの実施の形態の場合、チップイネーブル制御コマンドを入力することにより、メモリチップ1cの各EEPROM回路2に対して内部イネーブル信号CE1～CE4が発生される。また、Ready/Busy参照コマンドの入力により、ソフト的にレジスタ5を参照してその返値データからReady/Busy状態情報を得る。

【0026】

このような実施の形態によれば、各EEPROM回路のReady/Busy信号を監視するために信号端子のスキャン操作を行う必要がない。従ってまた、同一信号線を切り換えて各EEPROM回路のReady/Busy信号を出力する場合のような切り替え遷移時間の遅れを見込むことが必要もなくなる。更に、各EEPROM回路のReady/Busy状態をコマンドコントロールによって一括して取得できるようにすれば、高速の動作制御が可能になる。

【0027】

コマンドコントロールを行わない初期設定状態では、従来のメモリチップ仕様互換モード（即ち、内部に複数のEEPROM回路機能を持つことを意識させない仕様）で動作するようにすれば、従来機器にそのまま適用することもできる。更に、リセットコマンド発行により初期状態に戻すことができるようにすれば、ソフトウェア側の異常処理時に、メモリチップを原点復帰させることが出来、回復性の高いメモリシステムが得られる。

【0028】

【実施の形態5】

図7は、更に別の実施の形態によるメモリチップ1dの構成である。この実施の形態では、メモリチップ1内の各EEPROM回路2に共通のデータバス3と外部I/O端子の間に、コマンド入力によりどのEEPROM回路2への書き込み/消去を行うかを選択する領域選択デコーダ6が設けられている。この領域選択デコーダ6により、各EEPROM回路2のI/Oバッファに対して時系列的

にコマンド入力、アドレス入力及びデータ入力を可能としている。この場合、EEPROM回路2の選択の順序は任意に設定できるものとする。またEEPROM回路2は制御回路を内蔵せず、これらの書き込み等を制御する制御回路7が一つにまとめて設けられる。

【0029】

この実施の形態によれば、例えばEEPROM回路2-1でデータ書き込みを行っている間、別のEEPROM回路2-2～2-4に対して外部からデータを入力することが可能であり、外部からは待ち時間がなく連続的なデータ書き込み動作が可能になる。

【0030】

具体的にこの実施の形態でのライトキャッシュの動作例を、図8及び図9を用いて説明する。

図8に示すように、EEPROM回路2-1への書き込みのために、データ入力（書き込み）コマンド“80”、アドレスAdd1、データData1を入力し、その後にダミープログラムコマンド“11”を入力する。これらは、EEPROM回路2-1に取り込まれる。ダミープログラムコマンド“11”は取り込まれたデータを内部のデータレジスタ24には転送せず、その間ビジーとするコマンドである。なおデータレジスタ24は、キャッシュ動作を行うためには、2段構成が必要である。以下同様にして、各EEPROM回路2への書き込みのために、データ入力コマンド“80”、アドレスAdd、データDataを入力し、その後にダミープログラムコマンド“11”を入力する。最後に書き込み開始コマンド“15”を入力する。

【0031】

この書き込み開始コマンド“15”が入力されると、各EEPROM回路2でそれまでI/Oバッファ内部のラッチに保持されていたデータが同時に内部のデータレジスタ24に転送される。これにより、各EEPROM回路2で並行してアドレスにより選択されたページへの書き込み動作が開始される。データ書き込みが開始されると、各EEPROM回路2は、自動的に書き込み終了の条件を満たすまで書き込みとベリファイを繰り返す。内部のデータレジスタ24への一括

データ転送が終了すると、外部に対してはレディ状態になる。

【0032】

この実施の形態において好ましくは、各EEPROM回路2の書き込み動作のPass/Fail結果を、各EEPROM回路2毎にメモリセル単位で出力する他、メモリチップ1d全体のPass/Fail結果を出力する。これにより、各EEPROM回路2毎にFailの場合の処理ができ、また全体のPass/Failがわかれば、個々のEEPROM回路2の書き込み結果の如何を参照することなく、処理を継続又は停止を判断することが可能になる。

【0033】

またこの実施の形態において、好ましくは各EEPROM回路2について繰り返し行われた書き込み動作のPass/Fail結果の累積を保持し、累積中のFailの有無情報が出力されるようにする。これにより、一連の書き込み動作を全て終了した後に、全体のPass/Failを判断することができる。特に、書き込みキャッシュ的な動作をしている場合に、一連の動作を連続して行うことができるので、高速パフォーマンスの処理が可能になる。

【0034】

更に、Pass/Fail結果の累積は、各EEPROM毎にする場合と、メモリチップ全体として累積する場合とが考えられる。前者の場合には、各EEPROM回路毎にFailの場合の処理ができ、後者の場合にはPassのとき個々のEEPROM回路の参照を必要としない。

【0035】

更にこの実施の形態において、データ書き込みのPass/Fail結果を参照してから、データバッファに対して次のデータ入力を行うモードと、Pass/Fail結果を参照することなく、連続的にデータバッファにデータ入力を行うモードとを有し、これらが選択ができるようにすることが望ましい。この場合、Busy信号の出し方の意味づけがモードにより異なる。即ち、前者のモードでは、書き込み結果の状態を参照できるようになった時点で、Busy状態終了とする。この場合、実際にはデータ書き込みが完了しているので、次のデータ入力が可能になっている。後者の場合には、次のデータ書き込みが可能になった時

点で B u s y 状態終了とする。

【 0 0 3 6 】

この様なモード選択を可能とすることにより、高速処理と安定処理の選択が可能になる。またこのモード選択をコマンド入力によりできるようにすれば、制御ソフトが簡易なものとなる。

【 0 0 3 7 】

【発明の効果】

以上述べたようにこの発明によれば、1メモリチップを複数メモリチップと同様に制御可能とした不揮発性半導体記憶装置を得ることができる。

【図面の簡単な説明】

【図 1】

この発明の実施の形態によるメモリチップの構成を示す図である。

【図 2】

同実施の形態の各 E E P R O M 回路の構成を示す図である。

【図 3】

別の実施の形態によるメモリチップの構成を示す図である。

【図 4】

同実施の形態のメモリチップを用いたメモリシステム構成例を示す図である。

【図 5】

別の実施の形態によるメモリチップの構成を示す図である。

【図 6】

別の実施の形態によるメモリチップの構成を示す図である。

【図 7】

別の実施の形態によるメモリチップ構成を示す図である。

【図 8】

同実施の形態での制御信号入力の例を示す図である。

【図 9】

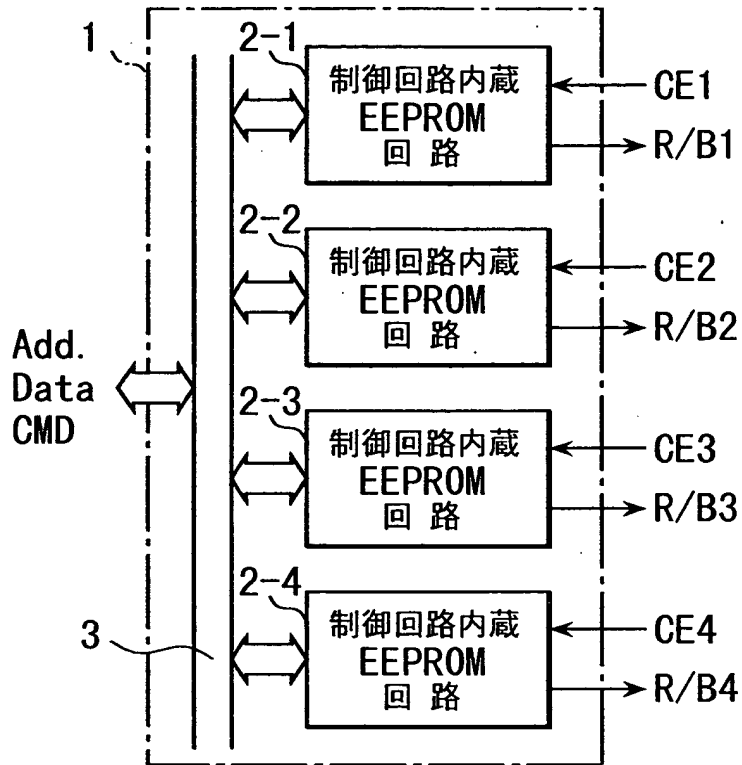
同実施の形態の各 E E P R O M 回路の書き込み動作を示す図である。

【符号の説明】

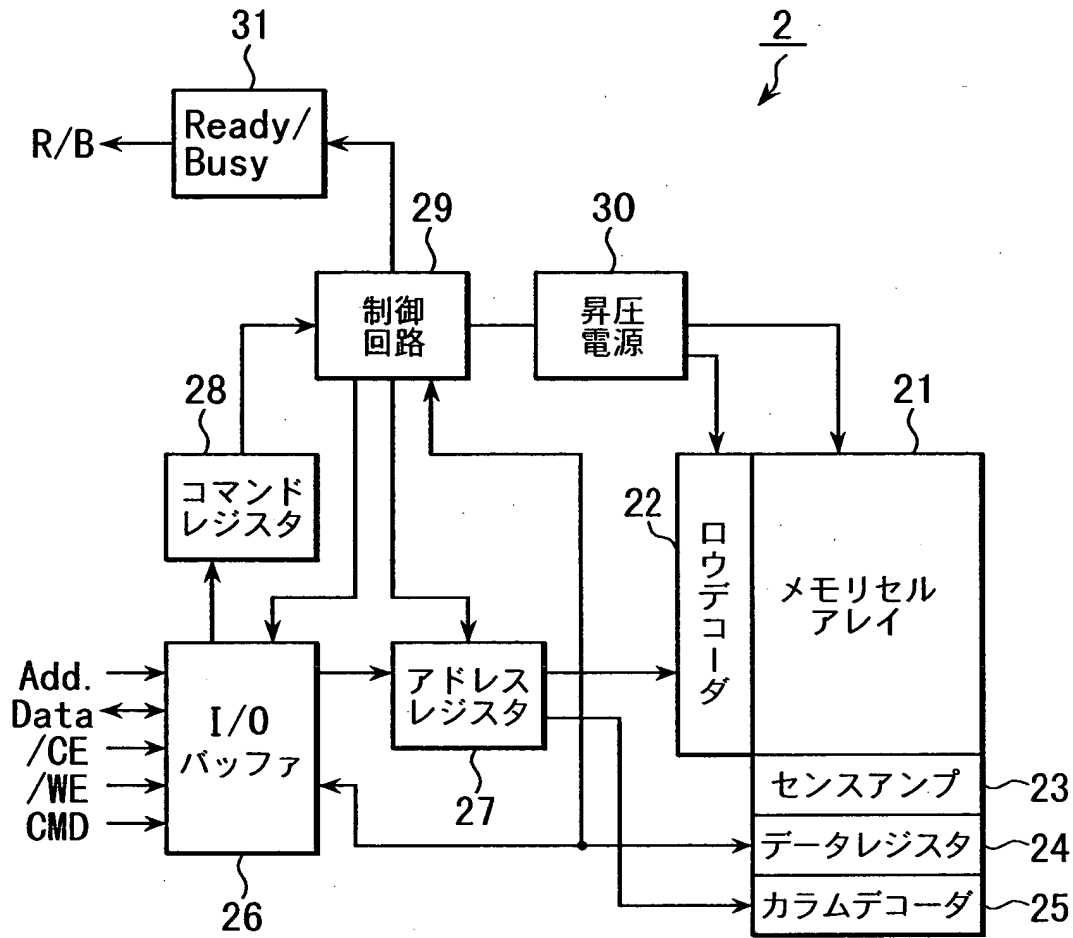
1, 1a, 1b, 1c, 1d…メモリチップ、2…EEPROM回路、3…データバス。

【書類名】 図面

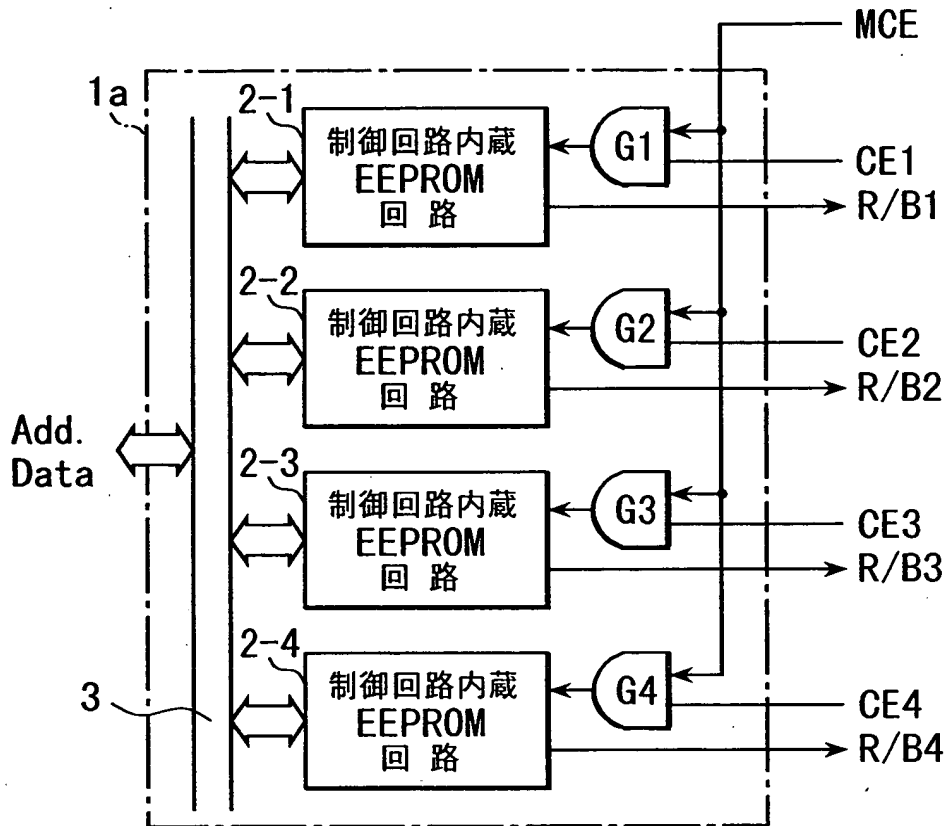
【図 1】



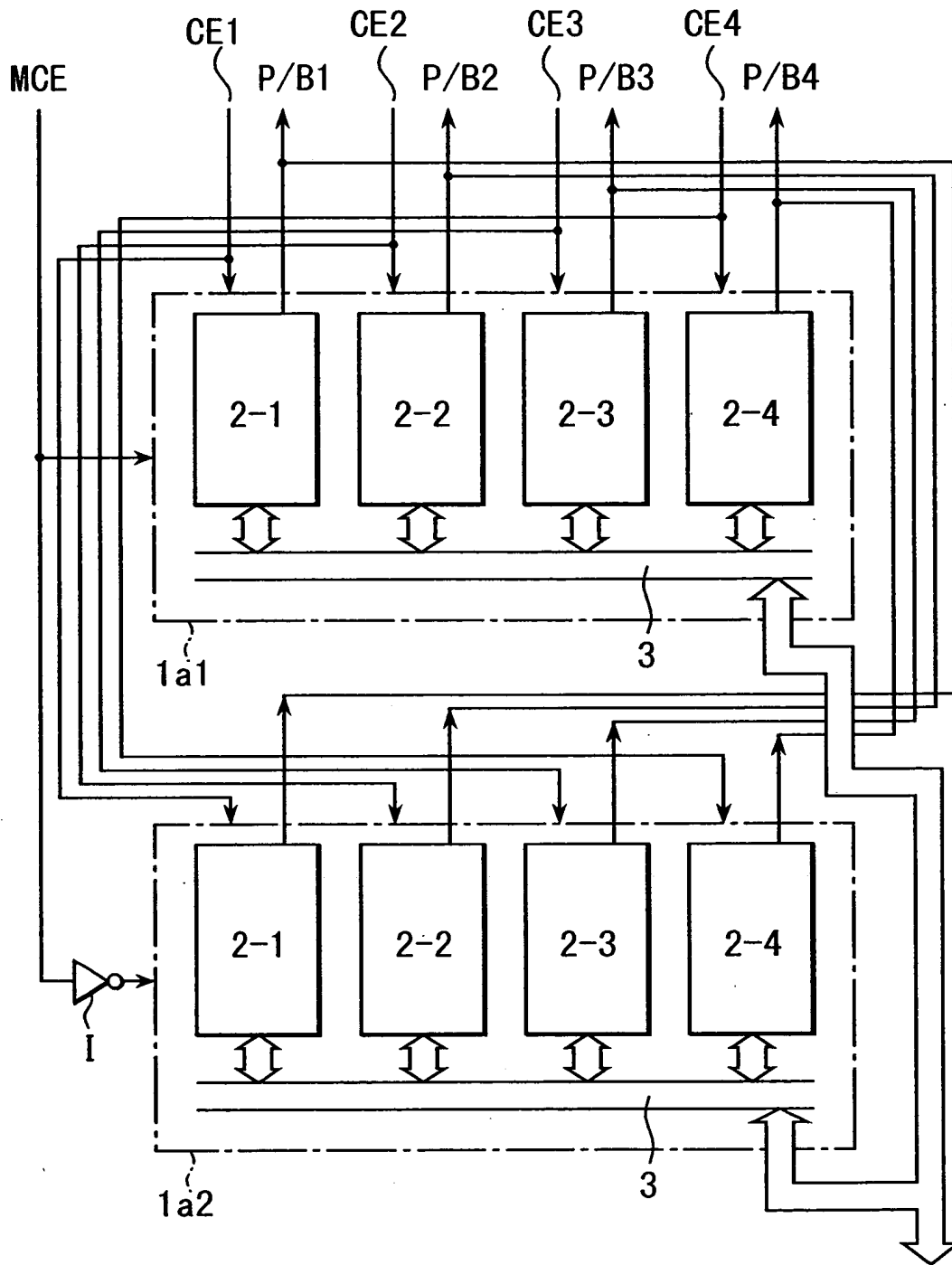
【図 2】



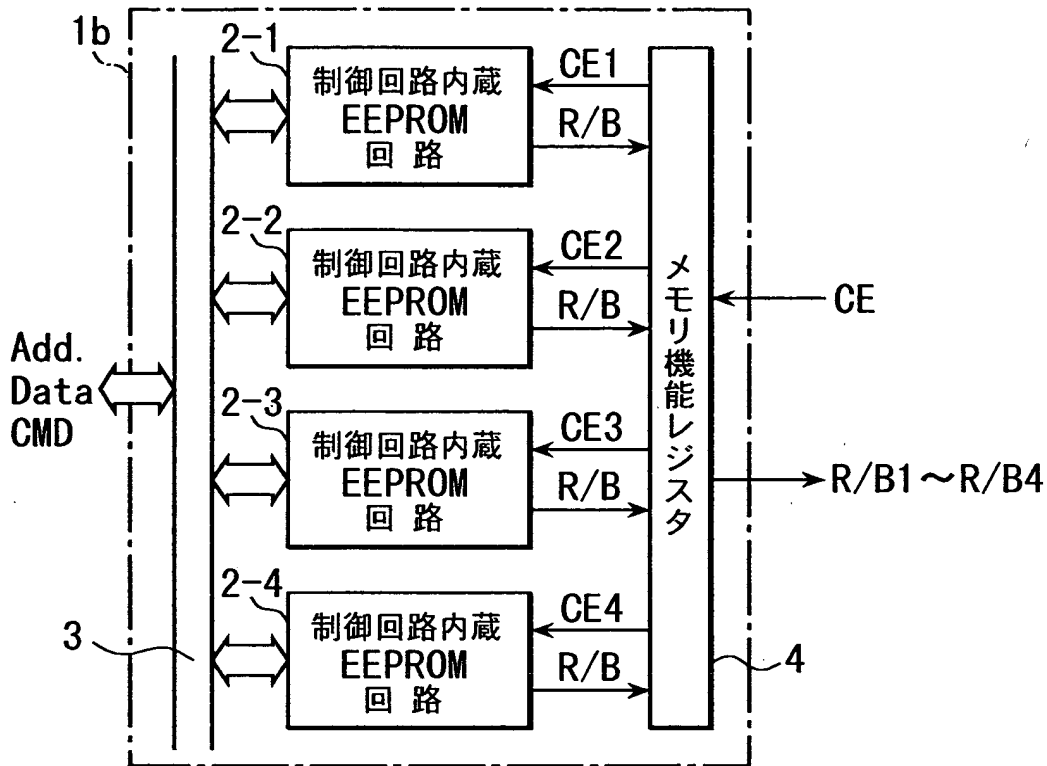
【図 3】



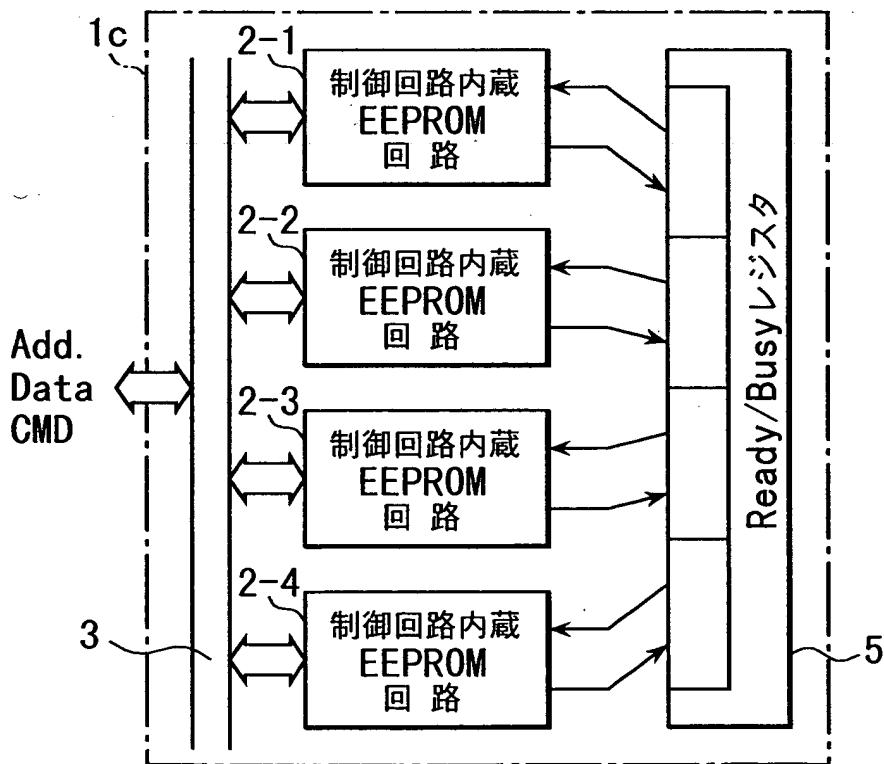
【図 4】



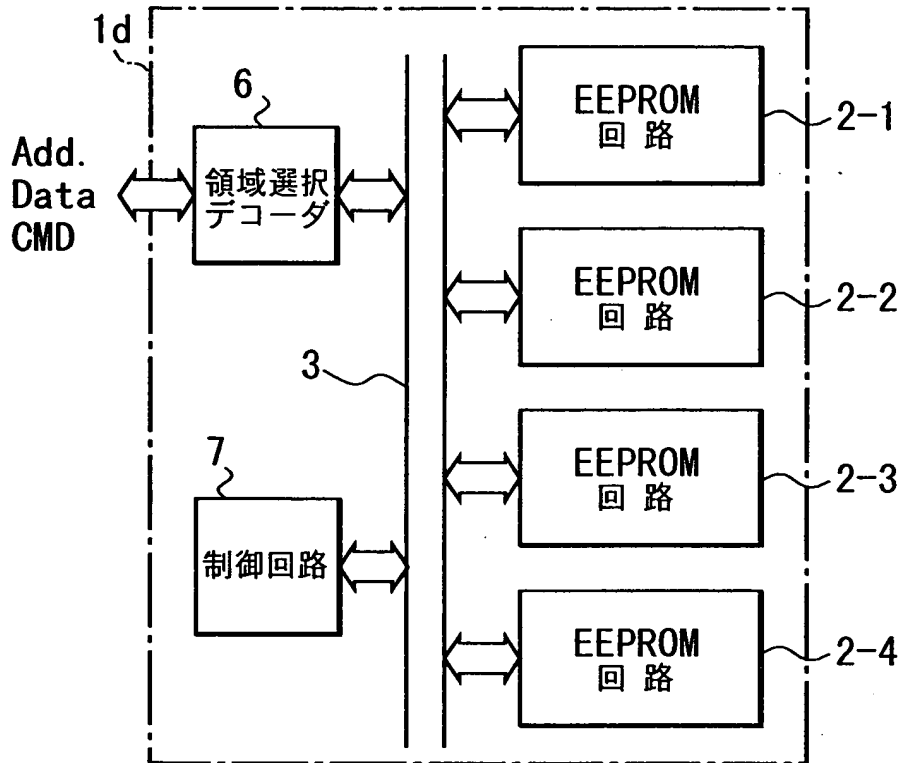
【図 5】



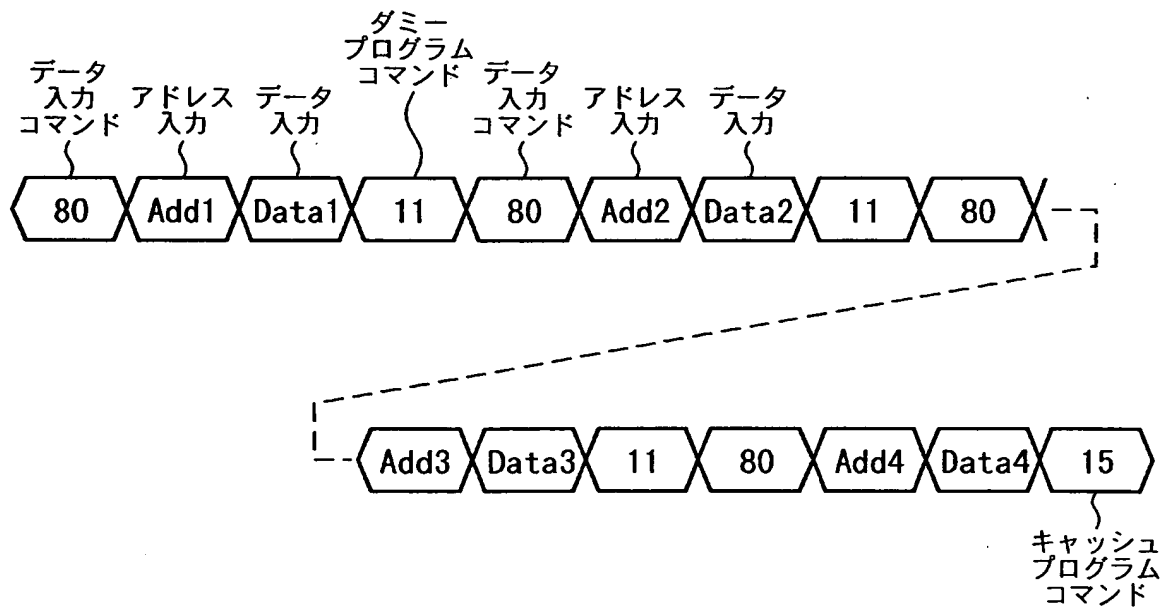
【図 6】



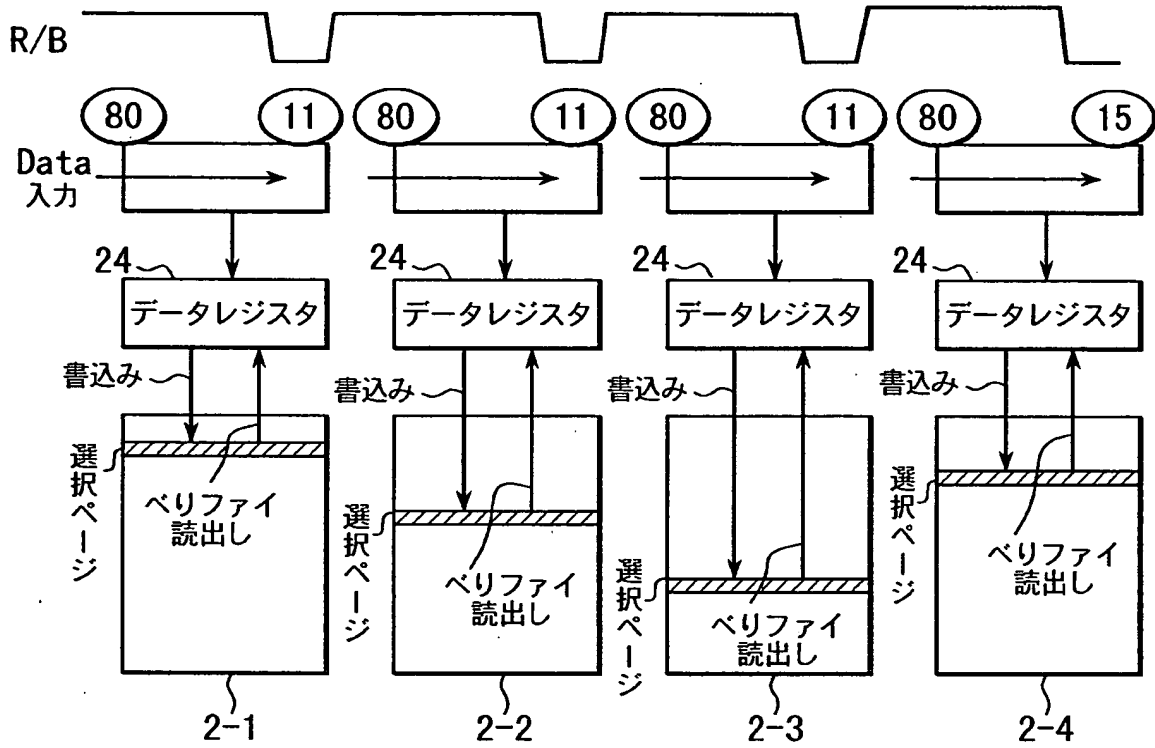
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 1 メモリチップを複数メモリチップと同様に制御可能とした不揮発性半導体メモリ装置を提供する。

【解決手段】 メモリチップ 1 は、それぞれ内部に書き込みシーケンス制御を行う制御回路を内蔵した複数の E E P R O M 回路 2 を有する。E E P R O M 回路 2 はデータバス 3 を共有する。各 E E P R O M 回路 2 はそれぞれ、イネーブル端子 C E と R e a d y / B u s y 端子 R / B を有し、各 E E P R O M 回路 2 での並列的なデータ書き込み処理を可能としている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町 7 2 番地
氏 名 株式会社東芝